

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-120505

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.⁵

H01L 29/784

識別記号

庁内整理番号

FI

技術表示箇所

9056-4M

H01L 29/78

311 H

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平4-270063

(22)出願日 平成4年(1992)10月8日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小林 敬三

東京都港区芝五丁目7番1号日本電気株式会社内

(72)発明者 金子 若彦

東京都港区芝五丁目7番1号日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

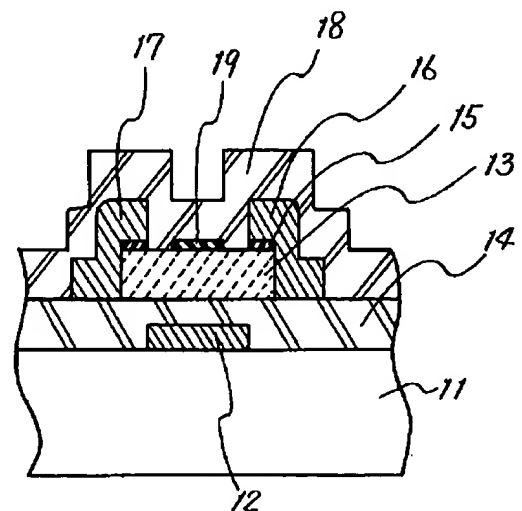
(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【目的】アモルファスシリコンを用いた薄膜トランジスタにおいて、パシベーション膜中に入った正の電荷の影響によるバックチャネルリーク電流の低減を図る。

【構成】パシベーション膜18とアイランド層13の界面にP型にドーパしたアモルファスシリコン層19を設けた逆スタガー型薄膜トランジスタである。

【効果】P型アモルファスシリコンはキャリア電子の密度が低い。そのため、パシベーション膜中に正の電荷がパシベーション膜とP型アモルファスシリコン層の界面に誘起する電子密度も低くなり、この部分の抵抗はあまり下がらない。従ってここを流れるリーク電流を抑えることが出来る。



11:ガラス基板

12:ゲート電極

13:アイランド層

14:ゲート絶縁膜

15:オミックコンタクト層

16:ソース電極

17:ドレイン電極

18:パシベーション膜

19:P型Si層

【特許請求の範囲】

【請求項1】 絶縁基板上にゲート電極、ゲート絶縁膜、島状に加工した半導体層、オーミックコンタクト層、ソース及びドレイン電極、パシベーション膜を順次積層して形成される逆スタガー型薄膜トランジスタにおいて、前記島状に加工した半導体層とパシベーション膜の界面部分の少なくとも一部にP形にドーブした半導体層を有することを特徴とする薄膜トランジスタ。

【請求項2】 絶縁基板上にゲート電極、ゲート絶縁膜、アモルファスSi膜、P形Si層、オーミックコンタクト層、ソースおよびドレイン電極、パシベーション膜を順次積層して形成される逆スタガー型薄膜トランジスタにおいて、前記アモルファスSi膜のP形あるいはN形不純物濃度が 1.0^{10} cm^{-2} のオーダー以下であり、前記P形Si層の不純物濃度が 1.0^{11} cm^{-2} のオーダー以上であることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アモルファスシリコンを用いた薄膜トランジスタの構造に関し、特に液晶ディスプレイ等で用いられるアクティブマトリクス駆動用の薄膜トランジスタに関する。

【0002】

【従来の技術】従来のこの種の薄膜トランジスタは図5に示すように、ガラス基板31上にアルミニウム、クロム、タンタル等の金属ゲート電極32を設け、その上にアモルファス窒化シリコン等のゲート絶縁膜34と、アモルファスシリコンを島状に加工した半導体層（以下アイランド層と称する）33と、このアイランド層の上にリンをドーブしたn型アモルファスシリコンを用いたオーミックコンタクト層35とアルミニウム、クロム等を用いたソース電極36およびドレイン電極37とアモルファス窒化シリコン等によるパシベーション膜38によって構成されていた。

【0003】この薄膜トランジスタの動作について図を用いて簡単に説明する。図6はこの薄膜トランジスタのチャネル部となるゲート絶縁膜と半導体層界面近辺のエネルギーバンドの状態を示している。図6(a)はオン動作の状態である。ゲート電極に正の電圧を印加しており、ゲート絶縁膜とアモルファスシリコン層（アイランド層）の界面に負電荷が誘起されてチャネル部分のバンドは下方に曲がり、キャリアの蓄積層となる。このためこの部分は抵抗が低下する。図6(b)はオフ動作の状態である。ゲート電極に負の電圧を印加しており、チャネル部分のバンドが上方に曲がりキャリア電子の空乏層ができる。従ってこの部分の抵抗は高くなる。

【0004】

【発明が解決しようとする課題】この従来の薄膜トランジスタでは、アイランド層とパシベーション膜界面（以下バックチャネル界面と称す）が前述のゲート絶縁膜と

アイランド層界面（以下チャネル界面と称す）と同様の状態となっている。すなわち、アイランド層の両側に絶縁層があり同じになっている。そのためパシベーション膜中に正イオン等が入ったり正の電荷トラップ準位等があった場合、これらの生ずる電界効果により図7(a)に示すようにバックチャネル界面の伝導帯がフェルミ準位の方へ曲がりオフ動作時に流れるリーク電流が増大するという問題点があった。

【0005】

【課題を解決するための手段】本発明は、絶縁基板上にゲート電極、ゲート絶縁膜、島状に加工した半導体層、オーミックコンタクト層、ソースおよびドレイン電極、パシベーション膜を順次積層して形成される逆スタガー型薄膜トランジスタにおいて、島状に加工した半導体層とパシベーション膜の界面部分の少なくとも一部にP型にドーブした半導体層を有することを特徴とする。

【0006】

【作用】半導体層とパシベーション膜の界面にP型の半導体層を設けると、この部分のキャリア電子密度が下がるため、図7(b)に示すようにパシベーション膜中に正の電荷が生じて、伝導帯の曲がり方はフェルミ準位から遠くなりリーク電流が増大することはなくなる。

【0007】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の第1の実施例の薄膜トランジスタの縦断面図である。厚さ約1mmのガラス基板11上に金属クロム1000オングストロームをスパッタ法で成膜し、これをフォトリソグラフィとウェットエッチング法によりパターン化しゲート電極12を形成する。次にプラズマCVD法によりシリコン窒化膜から成るゲート絶縁膜14を形成する。この上にアモルファスシリコン膜（a-Si膜）、リンをドーブしたアモルファスシリコン膜（n⁺-a-Si膜）をそれぞれ2000オングストローム、500オングストローム成長させ、a-Si膜とn⁺-a-Si膜をフォトリソグラフィとドライエッチング法によりゲート電極上に所定の形状で島状に加工してアイランド層13とオーミックコンタクト層15を形成する。この上に電極材として金属クロム膜1500オングストロームをスパッタ法で成膜しフォトリソグラフィとドライエッチング法により所定の形状のソース電極16及びドレイン電極17を形成する。次にソースおよびドレイン電極が被っていない部分のn⁺-a-Si膜をドライエッチング法でエッチング除去しソースとドレイン電極間を分離する。そしてこの上にボロンをドーブしたP型アモルファスシリコン膜を200オングストロームの厚さに成膜し、ソース及びドレイン電極に接触しないようにフォトリソグラフィとドライエッチング法によりパターニングしてチャネル中央部にP型Si層19を形成する。そして全体に対してシリコン窒化膜を4000オングストロームの厚さで成膜し、電極パッド

3

等の部分をフォトリソグラフィとドライエッチング法で除去しパシベーション膜18を形成する。最後に全体を250℃の不活性ガスの雰囲気中で約2時間アニールして薄膜トランジスタは完成する。

【0008】図2は本発明の第2の実施例の縦断面図である。本実施例では、ソース電極16およびドレイン電極17の形成後アイランド層13の表面にイオン注入法で浅くP型アモルファスシリコン領域20を形成する。この実施例ではP型アモルファスシリコン領域の形成にフォトリソグラフィとエッチング工程が不要となる利点がある。

【0009】図3は本発明の第3の実施例を示すアクティブマトリクスLCDを構成するTFTの断面図である。図4(a), (b)は図3に示すTFT構造を得るための途中工程を示すTFT基板の断面図である。ガラス基板21上にゲート電極22を形成し、その上にゲート絶縁膜23とa-Si膜24を設ける。このa-Si膜24は真性半導体の特性を出すためP型あるいはn形の不純物濃度を 1.0^{10} cm^{-2} 以下とする。次にプラズマCVD法により、モノシラン(SiH_4)及び不純物供給源としてジボラン(B_2H_6)を用いることでP形Si層25を得る。さらにエッチング時のストッパーに用いるシリコン窒化膜26を堆積する(図4(a))。

【0010】ここでP形Si層25はチャネル部の電位分布についてはチャネル電流に影響を及ぼさないために薄層化し、かつ必要以上のP形不純物濃度を与えないことが望ましい。このためP形Si層25は少くともa-Si膜24に比して1/5以下の厚さにすることが望ましい。又、不純物濃度は 1.0^{11} cm^{-2} のオーダーさえ存在すれば十分である。

【0011】次にフォトリソグラフィとエッチング工程によりシリコン窒化膜26とP形Si層25のパターニングを行う(図4(b))。このP形Si層25のエッチング時にオーバーエッチングによるパターン変換を小さくする上でもP形Si層25の膜厚は薄い方が望ましい。この後の工程は通常のTFT工程と同じく、n⁺-a-Si膜27、ソース電極28、ドレイン電極29、パシベーション膜30の堆積とパターニングを繰り返して図3に示す本実施例のTFT構造を得る。

【0012】上記実施例ではP形Si層をプラズマCVD法で形成したが、a-Si膜へBをイオン注入して形成してもよい。この方法は、イオン注入法の制御性の良

4

さからP形不純物イオン注入層深さ及びP形不純物濃度をプラズマCVD法よりも再現性良く制御できる長所がある。

【0013】図8は本発明による薄膜トランジスタと従来の薄膜トランジスタのゲート電圧-電流特性の比較を示すグラフである。この図からわかるように本発明の薄膜トランジスタはリーク電流が低く抑えられている。

【0014】

【発明の効果】以上説明したように本発明は逆スタガー型薄膜トランジスタの半導体層とパシベーション膜の界面又は半導体層とシリコン窒化膜の界面にP型の半導体層を設けることにより、パシベーション膜中に入った正イオンや正の電荷トラップ等による電界効果で増大するリーク電流を抑制するという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の断面図である。

【図2】本発明の第2の実施例の断面図である。

【図3】本発明の第3の実施例の断面図である。

【図4】(a), (b)は第3の実施例の途中の製造工程を示す断面図である。

【図5】従来の薄膜トランジスタの断面図である。

【図6】(a), (b)は薄膜トランジスタの基本動作原理を示す図である。

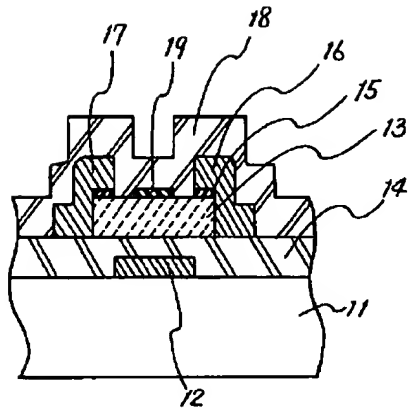
【図7】(a), (b)は従来技術の問題点と本発明による解決点を説明する図である。

【図8】本発明の効果を示す薄膜トランジスタのゲート電圧-電流特性曲線図である。

【符号の説明】

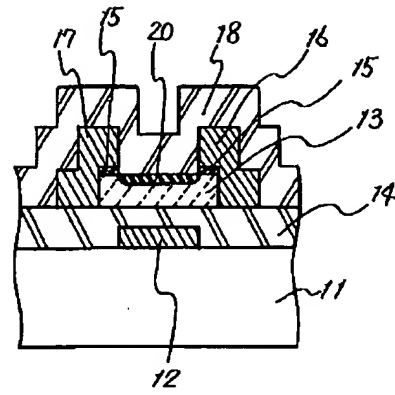
- | | |
|------------|-----------------------|
| 11, 21, 31 | ガラス基板 |
| 12, 22, 32 | ゲート電極 |
| 13, 33 | アイランド層 |
| 14, 23, 34 | ゲート絶縁膜 |
| 15, 35 | オーミックコンタクト層 |
| 18, 28, 36 | ソース電極 |
| 17, 29, 37 | ドレイン電極 |
| 18, 30, 38 | パシベーション膜 |
| 19, 25 | P型Si層 |
| 20 | P形Si領域 |
| 24 | a-Si膜 |
| 26 | シリコン窒化膜 |
| 27 | n ⁺ -a-Si膜 |

【図1】



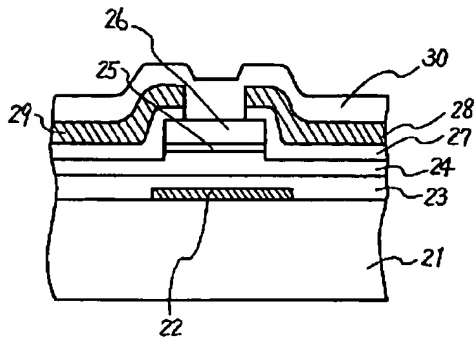
- 11: ガラス基板
12: ゲート電極
13: フloating層
14: ゲート絶縁膜
15: アモルファスシリコン層
16: ソース電極
17: ドレイン電極
18: パッシベーション膜
19: P型Si層

【図2】



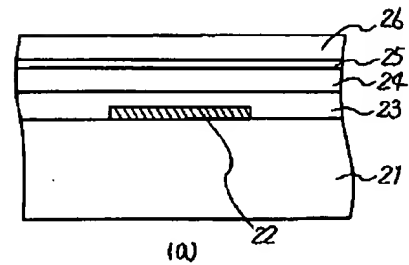
- 11: ガラス基板
12: ゲート電極
13: フloating層
14: ゲート絶縁膜
15: アモルファスシリコン層
16: ソース電極
17: ドレイン電極
18: パッシベーション膜
19: P型Si層
20: P+Si領域

【図3】

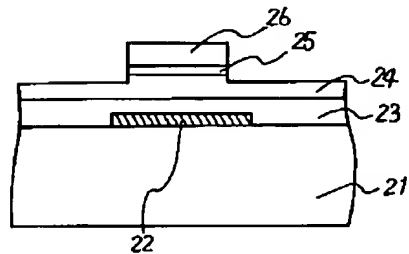


- 21: ガラス基板
22: ゲート電極
23: ゲート絶縁膜
24: a-Si膜
25: P型Si層
26: シリコン窒化膜
27: n+-a-Si膜
28: ソース電極
29: ドレイン電極
30: パッシベーション膜

【図4】



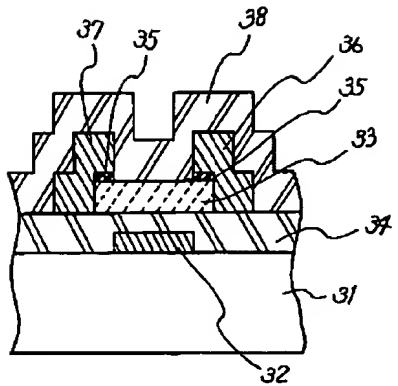
(a)



(b)

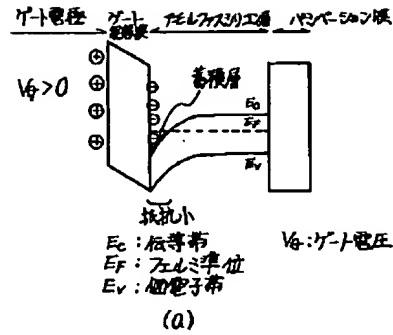
- 21: ガラス基板
22: ゲート電極
23: ゲート絶縁膜
24: a-Si膜
25: P型Si層
26: シリコン窒化膜

【図5】

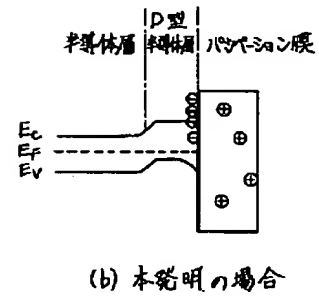
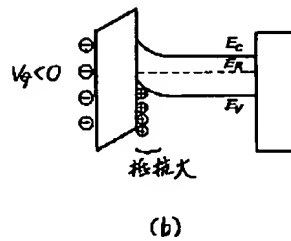
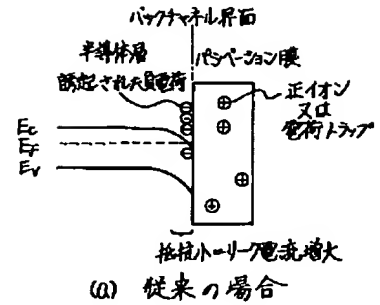


31:ガラス基板
32:ゲート電極
33:チャンネル層
34:ゲート絶縁膜
35:本ミッドコンタクト層
36:ソース電極
37:ドレイン電極
38:パッシベーション膜

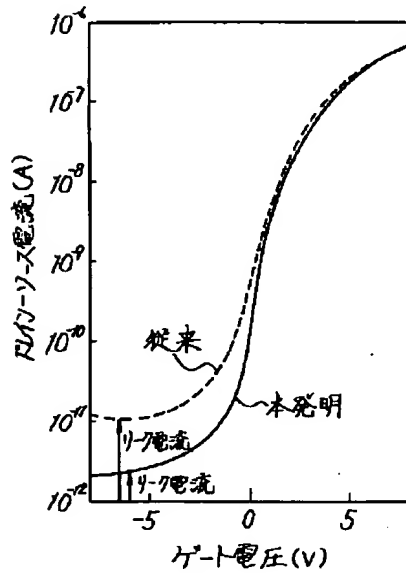
【図6】



【図7】



【図8】



DERWENT-ACC-NO: 1994-179894

DERWENT-WEEK: 199422

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Active matrix operation TFT
structure with amorphous
silicon - has p-type doped
semiconductor layer in at
least part of interface
between island shaped
semiconductor layer and
passivation film NoAbstract

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1992JP-0270063 (October 8, 1992)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE
LANGUAGE		MAIN-IPC
JP 06120505 A		April 28, 1994
N/A	005	H01L 029/784

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-
NO	APPL-DATE	
JP 06120505A	N/A	
1992JP-0270063	October 8, 1992	

INT-CL (IPC): H01L029/784

ABSTRACTED-PUB-NO: JP 06120505A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/1

TITLE-TERMS: ACTIVE MATRIX OPERATE TFT STRUCTURE
AMORPHOUS SILICON P=TYPE DOPE
SEMICONDUCTOR LAYER PART INTERFACE
ISLAND SHAPE SEMICONDUCTOR LAYER
PASSIVATION FILM NOABSTRACT

DERWENT-CLASS: U12 U14

EPI-CODES: U12-B03A; U14-H01A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-141853